



nexthardware.com

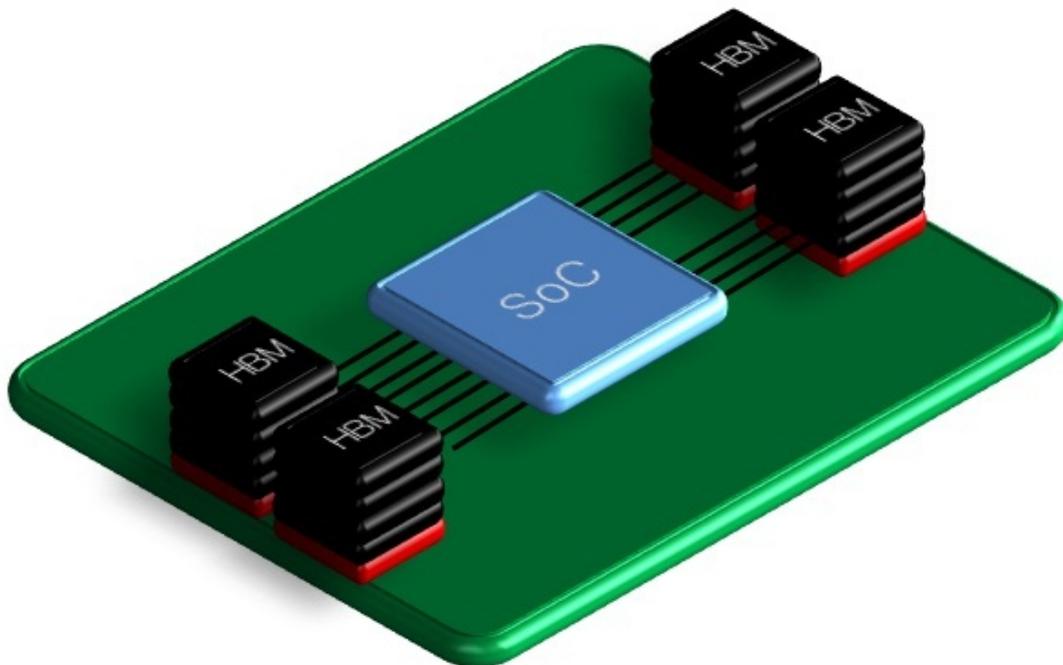
a cura di: Gian Paolo Collalto - giampa - 04-10-2014 12:30

AMD, SK Hynix & memorie HBM

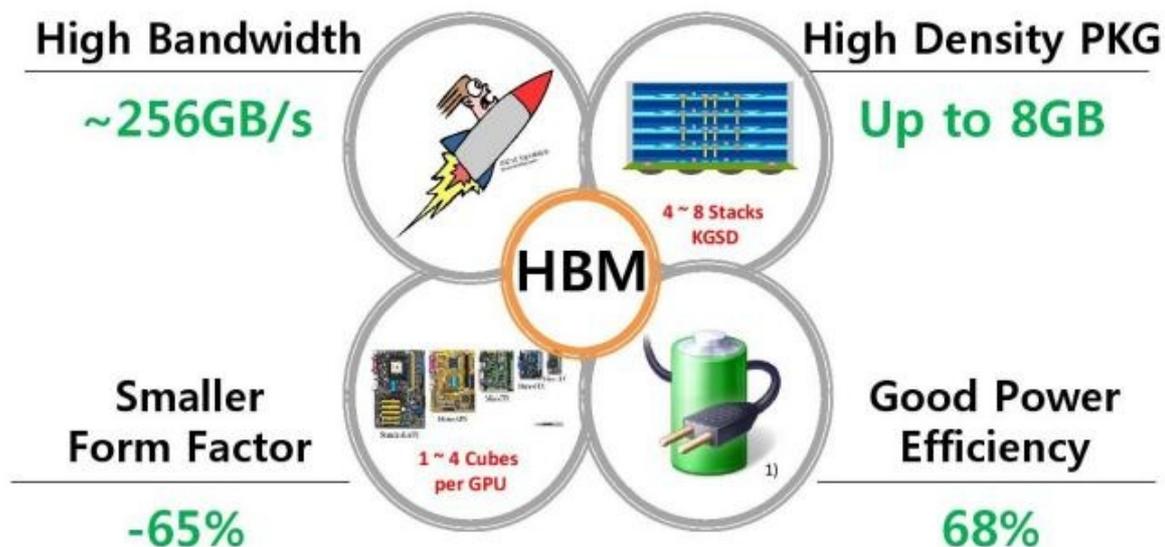


[LINK \(https://www.nexthardware.com/news/schede-video/6418/amd-sk-hynix-memorie-hbm.htm\)](https://www.nexthardware.com/news/schede-video/6418/amd-sk-hynix-memorie-hbm.htm)

Ecco cosa ci attende nel 2015 con l'arrivo sul mercato delle R9 380X e 390X.



La cooperazione intercorsa nell'ultimo periodo tra AMD e SK Hynix a livello di sviluppo per la produzione di una nuova generazione di memorie dedicate alle future GPU del colosso di Sunnyvale, ha recentemente prodotto i suoi frutti nella nuova tecnologia definita **3D Stacked High Bandwidth DRAM**.



Questo innovativo tipo di memoria, che promette un bandwidth superiore di 4,5 volte rispetto a quanto ottenibile dalla odierna tecnologia GDDR5, farà il suo debutto presumibilmente con la prossima generazione di GPU "Pirate Islands" R9 380X (Fiji) e R9 390X (Bermuda) di AMD, che saranno in diretta competizione, rispettivamente, con la GTX 980 e con le Titan X / GTX 980 Ti di NVIDIA.

La nuova e rivoluzionaria HBM, sviluppata con l'intento di rimpiazzare l'attuale GDDR5 divenuta parzialmente inefficiente con l'avvento delle GPU di ultima generazione, è interconnessa al sistema tramite un'innovativa interfaccia a tipologia distribuita: viene di fatto implementato per la prima volta un bus pur sempre a canali, ma resi completamente indipendenti tra loro.

Le operazioni interessate al singolo canale, quindi, (di fatto ascrivibili ad un singolo banco) risultano essere completamente svincolate dalle attività in corso su ognuno dei restanti.

Ciò porta alla immediata ed importantissima conseguenza che il refresh del contenuto delle informazioni può avvenire appunto a livello di singolo banco, attività del tutto impossibile nelle DDR standard.

Specifiche	GDDR5	2 x Hi HBM Stacked DRAM	4 x Hi HBM Stacked DRAM
Bus di I/O (DDR)	32bit	512bit	1024bit
Bandwidth per Pin	7 Gb/s	1 Gb/s	1 Gb/s
Bandwidth totale	28 GB/s	64 GB/s	128 GB/s
Tensione operativa	1,35V - 1,6V	1,2V	1,2V
Comandi in input	1	2	2
Layer	1	2+1	4+1

Le attività sui canali, a motivo di questa implicazione, non hanno la necessità di essere sincronizzate tra loro come accade con le odierne GDDR5, ovvero non ne esiste il bisogno in quanto, per raggiungere le alte velocità di esercizio promesse da questa nuova tecnologia, la HBM DRAM fa uso di un'architettura con un'interfaccia di I/O molto più estesa.

Teniamo conto che il bus a disposizione è ampio, a partire dalla prima generazione, 128bit DDR con la ulteriore possibilità di essere ampliato sino a 1024bit nella futura seconda generazione, mentre le GDDR5 possono attualmente usufruire di un'interfaccia di soli 32bit non ampliabile.

Comparison of HBM and other DRAMs

Item	DDR3 (x8)	GDDR5 (x32)	4-Hi HBM (x1024)
I/O	8	32	1024
Prefetch (Per IO)	8	8	2
Access Granularity (=I/O x Prefetch)	8Byte	32Byte	256Byte
Max. Bandwidth	2GB/s	28GB/s	128~256GB/s
tRC	40~48ns	40ns(=1.6v, 1.5v) 48ns(=1.35v)	40~48ns
tCCD	4ns (=4tCK)	2ns (=4tCK)	2ns (=1tCK)
VPP	Internal VPP	Internal VPP, (Opt. Ext. VPP)	Ext. VPP
VDD	1.5, 1.35	1.6, 1.5, 1.35	1.2
CMD Input	Single CMD	Single CMD	Dual CMD
Refresh Single Bank	X	X	O
DBI mode	X	O (DBI_DC)	O (DBI_AC)

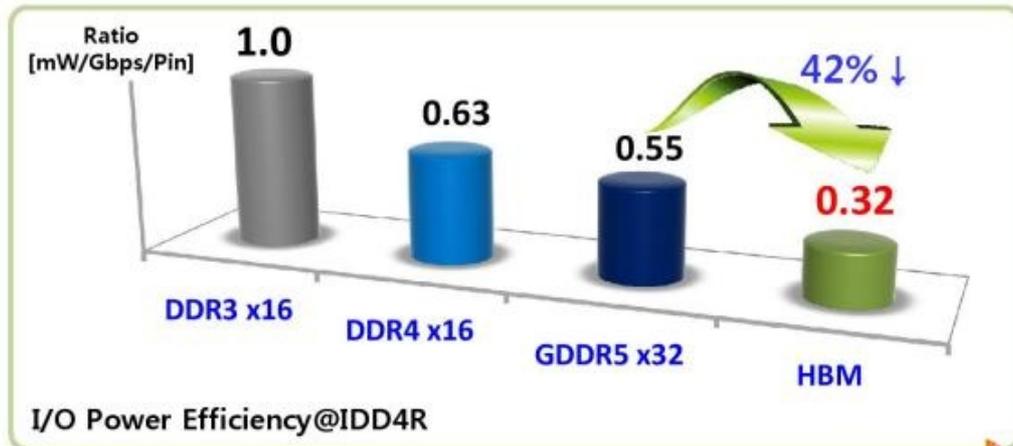


Un'altra importante particolarità che differenzia la HBM DRAM dalle GDDR5 è quella di continuare ad utilizzare un clock di input differenziale CK_t/CK_c, ma che ora riesce a permettere il raddoppio dei comandi che possono esser registrati sul fronte di salita.

Queste circostanze portano la latenza media a 2ns, corrispondente ora ad un solo ciclo di clock DDR, fermo restando un Row Cycle time DDR che rimane inalterato a 40-48ns.

Bottleneck 4) Low Power

- Lower Speed/pin and x1024 Wide IO → low power consumption per Pin.
- Lower Cio(0.6pF), No Termination → small IO current consumption
- Power consumption is decreased by 42% compared with GDDR5



Queste modalità , unite alle altre particolarità operative di questa nuova tecnologia, ↔ permettono, tra l'altro, di contenere ampiamente la richiesta energetica complessiva, non solo tramite un abbattimento della tensione di riferimento, che scende a 1.2V, ma anche di rendere il funzionamento estremamente efficiente.

E' possibile, infatti, usufruire di operazioni del tutto a bassa potenza rispetto a quanto accade nelle GDDR5 e ciò ha mediamente portato alla diminuzione del fabbisogno energetico di oltre il 40% rispetto all'ultima generazione di queste ultime.

HBM Overall specification

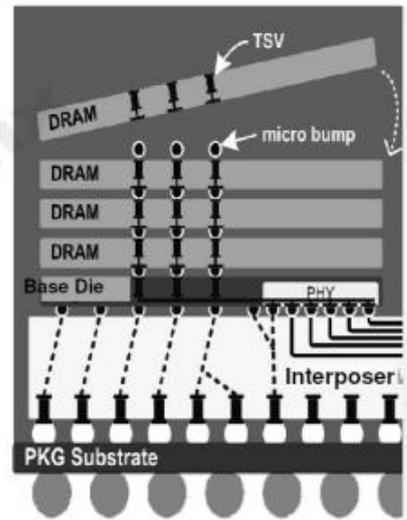
>1nd Gen HBM

- 2Gb per DRAM die
- 1Gbps speed /pin
- 128GB/s Bandwidth
- 4 HI Stack (1GB)

- x1024 IO
- 1.2V VDD
- KGSD w/ μ Bump

>2nd Gen HBM

- 8Gb per DRAM die
- 2Gbps speed/pin
- 256GBps Bandwidth/Stack
- 4/8 HI Stack (4GB/8GB)



Le prime memorie HBM cominceranno ad arrivare sul mercato a partire dall'ultimo trimestre 2014, mentre nei piani di AMD e SK Hynix tale tecnologia continuerà ad essere sviluppata fino alla metà del 2020.

HBM Long-term Roadmap⁽²⁾ (Preliminary)

HBM product longevity is critical in several applications
SK hynix plans to address longevity requirement



•Note 1 – anticipated future HBM density

•Note 2 – roadmap is subject to changes without prior notifications



205.132.242.85 / 2014. 07. 18 16 : 51 / B34047 / 2057897